

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012544  
(43)Date of publication of application : 14.01.2000

(51)Int.Cl. H01L 21/3205  
C23C 18/16  
H01L 21/288

(21)Application number : 10-176457  
(22)Date of filing : 23.06.1998

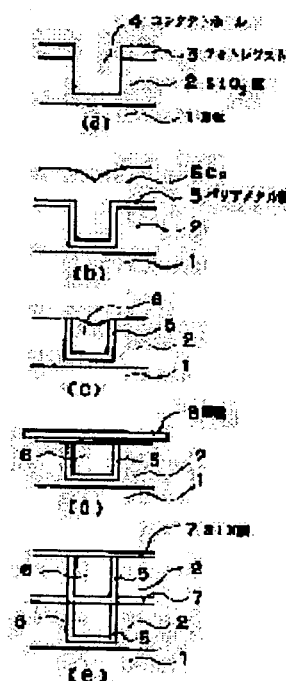
(71)Applicant : TOSHIBA CORP  
(72)Inventor : MATSUI YOSHITAKA  
KUBOTA TAKESHI  
IWADE KENJI  
MASE KOICHI

## (54) SEMICONDUCTOR MANUFACTURE APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the occurrence of nonconformities of dishing in an embedded metal or generation of voids or blisters by forming an insulation film on a semiconductor substrate, forming an underlying metal layer on connection holes or wiring trenches formed into the insulation film for embedding a wiring material and covering with covers to give a potential.

**SOLUTION:** An SiO<sub>2</sub> insulation film 2 is deposited on a semiconductor substrate 1, a photoresist 3 is laminated, contact holes 4 are formed by etching, the photoresist 3 is removed, a W barrier metal layer 5 is formed through sputtering, a wiring material Cu 6 is deposited and flows into the contact holes 4, Cu 6 existing at areas other than the contact holes 4 is polished off, the outermost surface is covered with a thin film 8 made of Pt, a plating soln. is powered from the side of the cover, and a potential is given for repairing the dropped parts of the wiring by the electroless plating, and thus forming a metal-embedded wiring having a given pattern.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-12544

(P2000-12544A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	K 4K022
C 2 3 C 18/16		C 2 3 C 18/16	B 4M104
H 0 1 L 21/288		H 0 1 L 21/288	Z 5F033

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号	特願平10-176457	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成10年6月23日(1998. 6. 23)	(72)発明者	松井 嘉孝 神奈川県川崎市幸区小向東芝町1 株式会 社東芝多摩川工場内
		(72)発明者	久保田 剛 神奈川県川崎市幸区小向東芝町1 株式会 社東芝多摩川工場内
		(74)代理人	100077849 弁理士 須山 佐一

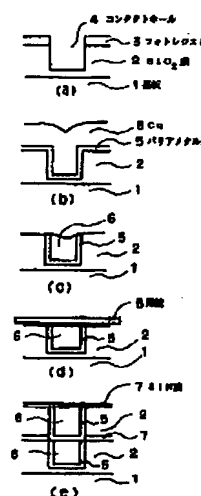
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 デリッシングやボイドのない金属埋め込み配線を備えた半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に絶縁膜を形成する工程と、絶縁膜に接続孔または配線溝を形成する工程と、接続孔または配線溝上に下地金属層を形成する工程と、接続孔または配線溝に配線材料を埋め込む工程と、配線材料が埋め込まれた接続孔または配線溝を覆蓋で覆って電位を与える工程とを少なくとも具備する半導体装置の製造方法。



## 【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に接続孔または配線溝を形成する工程と、前記接続孔または配線溝上に下地金属層を形成する工程と、前記接続孔または配線溝に配線材料を埋め込む工程と、前記配線材料が埋め込まれた前記接続孔または配線溝を覆蓋で覆って電位を与える工程とを少なくとも具備することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に接続孔または配線溝を形成する工程と、前記半導体基板および前記接続孔または配線溝上に下地金属層を形成する工程と、前記接続孔または配線溝に配線材料を埋め込む工程と、前記埋め込まれた配線材料を平坦化する工程と、前記平坦化された前記接続孔または配線溝を覆蓋で覆って電位を与えることにより、無電解メッキ法にて前記配線材料のメッキ層を成長させた後、停止させる工程とを少なくとも具備することを特徴とする半導体装置の製造方法。

【請求項3】 前記覆蓋は貴金属または有機物のような導電性材料からなり、メッキ材料の溶解電位においても電気化学的に安定であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記覆蓋には、0.337 v s. NHE以上の電位を与えることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 前記下地金属層はバリアメタル層またはシード層であることを特徴とする請求項1または2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特に、金属埋め込み配線を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年の超大規模集積回路（ULSI）の開発に伴い、更なる高速化と高密度化を実現するために、配線パターンは微細化および多層化されている。

【0003】 この微細化に伴って、多層配線におけるコンタクトホール径と深さの比率を表わすアスペクト比が増大しており、層間の配線接続およびマスクのパターニングが難しくなっている。

【0004】 従って、多層配線構造においては、段差によって配線が切れてしまうのを防ぐために、コンタクトホールにCuやAl等の金属を埋め込んだ表面を平坦化が必要がある。

【0005】 この埋め込み配線の平坦化は、主に、シリカ、アルミナ、キレート剤等を含む研磨剤を含ませた布等で表面を研磨する化学機械研磨（Chemical Mechanical Polishing: CMP）により行われているが、これにより、埋め込まれたコンタクトホールの上部が下へめりこ

むディッシングや最表面のボイド等の欠損が生じる。これが原因で、配線抵抗にばらつきが生じたり、不純物が混入したり、ブリストアが発生したり、また、多層配線形成後においてはショートしたりすることがあり、信頼性が低かった。

【0006】 このような従来の金属埋め込み配線の一例を図10および図11に示す。

【0007】 図10(a)に示すように、下地絶縁膜を有する半導体基板1上に、プラズマCVD法により絶縁膜であるSiO<sub>2</sub>膜2を1.0μmの厚さで堆積し、さらにフォトリソグラフ3を積層させて、フォトリソグラフィ法、反応性イオンエッチング（RIE）法により所定のパターンを有する深さ0.8μm、幅0.15μmのコンタクトホール4を形成する。

【0008】 次に、図10(b)に示すように、O<sub>2</sub>プラズマアッシング法でRIEのマスクであるフォトリソグラフ3を除去した後、スパッタ法により厚さ0.1μmのタングステンバリアメタル層5を形成し、さらに、スパッタ法により配線材料であるCu6を厚さ1.0μmに被着してから、コンタクトホール4にメルト法によりCu6を流し込む。

【0009】 そして、図10(c)に示すように、CMP法によりコンタクトホール4以外に存在するCu6を研磨して除去し、表面の汚染物質やパーティクルを洗浄して除去し、所定のパターンを有する金属埋め込み配線を形成する。

【0010】 この後、CVD法により、キャップパッシベーションとなるSiN膜7を100nmの厚さで堆積する。

【0011】 この配線形成法を繰り返して、図10(d)に示すような多層配線を形成する。

【0012】 しかし、このような従来の金属埋め込み多層配線においては、図11に示すとおり、ディッシング111や最表面のボイド112等の欠損が生じたり、不純物113が混入したり、ブリストア114が発生したり、また、多層配線形成後においてはショート115したりすることがあり、信頼性が低かった。

【0013】

【発明が解決しようとする課題】 すなわち、従来の半導体装置の金属埋め込み配線の形成においては、埋め込んだ金属にディッシング、ボイドやブリストアが発生したり、不純物が混入したりする不具合が生じていた。

【0014】 従って、本発明の目的は、このような不具合のない金属埋め込み配線を備えた半導体装置の製造方法を提供することである。

【0015】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、絶縁膜に接続孔または配線溝を形成する工程と、接続孔または配線溝上に下地金属層を形成する工程と、接続孔ま

たは配線溝に配線材料を埋め込む工程と、配線材料が埋め込まれた接続孔または配線溝を被覆で覆って電位を与える工程とを少なくとも具備している。

【0016】また、本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、絶縁膜の形成された半導体基板上に接続孔または配線溝を形成する工程と、半導体基板および接続孔または配線溝上に下地金属層を形成する工程と、接続孔または配線溝に配線材料を埋め込む工程と、埋め込まれた配線材料を平坦化する工程と、平坦化された接続孔または配線溝を被覆で覆って電位を与えることにより、無電解メッキ法にて配線材料のメッキ層を成長させた後、停止させる工程とを少なくとも具備している。

【0017】すなわち、本発明によれば、主に半導体基板と絶縁膜と金属配線からなる半導体装置の配線部分の製造方法において、接続孔または配線溝を形成し、下地金属層を形成し、下地金属層の形成された接続孔または配線溝に無電解メッキ法により配線材料層を形成し、配線材料層の上に被覆をして電界をかけながら無電解メッキをさらにを行い、配線材料層に不可避免的に形成された欠落部分を補い、欠落部分がなくなるまで配線材料のメッキ層が成長した時点で無電解メッキを終了させることを特徴としている。

【0018】上述したとおり、埋め込み金属層の最表面にはディッシングやボイド等の欠落部分が不可避免的に形成されてしまう。そこで、本発明においては、埋め込み金属層の最表面に被覆をして電界をかけて、無電解メッキをさらに行って欠落部分を補完し、補完し終わった時点で無電解メッキを終了させる。欠落部分の補完は、メッキ溶液と被覆となる薄膜の間に電気二重層と呼ばれる層が形成されることによりなされる。また、被覆にかける電位を調整することによって、無電解メッキ層の成長を停止させることができる。以下に、このメカニズムについて詳しく説明する。

【0019】本発明の半導体装置の製造方法によれば、上述したように、金属埋め込み配線の平坦化後に、薄膜で被覆をした接続孔の最表面において、この薄膜に電界をかけることにより、無電解メッキを中止させることを特徴としている。図3に、埋め込み配線と被覆をした薄膜との間に、厚さdの層が形成された様子を示す。この層は電気二重層である。

【0020】一般に、薄膜-溶液界面に電位を与えると、電気二重層と呼ばれるイオンの吸着層や拡散層（あるいは電場）が形成されることが知られている。電気二重層は、ヘルムホルツの二重層として初めて提唱され、グイ、チャップマン、フルムキン、シュテルン、グレアム等により補足されその存在が確認されている。この電気二重層の厚さは、マイクロ電極等のプローブを用いた測定によれば約数10nm、in-situ FTIR(Fourier Transform Infrared Spectroscopy)法では0.1から10

μmと観測されている。偏光変調法と組み合わせたより感度の高い測定法によれば、遠い領域まで電場の影響が確認されている。このように、電気二重層の厚さを特定することは困難であるが、存在することは確かである。

【0021】図4は、薄膜にかける電位Eと薄膜からの距離dとの関係を示すグラフである。本発明においては、薄膜の電位を、Cuの溶解/析出の平衡電位(A)または溶解側電位(B)のいずれかに設定することで、無電解メッキの成長を薄膜から一定の距離(0でも可)

10 (a)で停止させることを特徴としている。

【0022】本発明においては無電解メッキにより配線材料を埋め込んでいる。無電解メッキを行うと、通常の電解メッキとは異なり、メッキ成長点でホルマリン等の還元剤の酸化反応と、金属イオン(銅の場合なら $Cu^{2+}$ )の還元反応とを同時に行うため、薄くメッキを成長させることができる。この場合、還元剤の酸化(消費)は、当然、薄膜の電位により行われる。従って、図5に示すように、無電解メッキ層の成長が還元剤の濃度に支配されることも考慮しなければならない。

20 【0023】無電解メッキの成長においては、半導体基板上で電場、薬液の濃度分布等の反応の場を均一に保つことが必要である。電場に関して、電極上の吸着物の直上と、隙間の直上とでは電極からの距離が同じであっても差が生じることはin-situ STM(Scanning Tunneling Microscopy)(またはSTS(Scanning Tunneling Spectroscopy))によって確認されている。従って、電場を一定に保つには、薄膜または半導体基板の少なくとも一方を動かして電場を平均化すればより高精度に無電解メッキの成長を制御することができる。図6(a)に示すよう  
30 に、基板より大きな薄膜を用いて短時間で処理するか、図6(b)に示すように基板より小さな薄膜を用いて高精度で仕上げるとよい。

【0024】また、メッキ液中の成分には、処理が進むにつれて消費されるものがあるため、メッキ液を連続的に供給し、メッキ液の状態を常に一定に保てばより正確にメッキ成長を制御できる。図7(a)に示すように薄膜に孔等を開けて薄膜の裏面からメッキ液を供給してもよいし、また図7(b)に示すように側面からメッキ液を供給してもよい。

40 【0025】また、薄膜の電位Eは常に一定に保つ必要はなく、むしろ図8に示すように電位を変動させることにより、還元剤の拡散/消費のバランス制御、金属の特定方向のみの偏倚成長、過電圧増加による析出/溶解反応の活発化等の効果が得られる。このように電位を変動させてメッキ層を成長させる場合、最終的に薄膜がメッキされ表面形状が変化しない制御が必要である。ただし、メッキの初期状態であるUPD(Under Potential Deposition)のような状態で数層のみを成長させるメッキであれば特に表面形状の変化制御は特に必要ない。

50 【0026】ところで、薄膜と基板の距離が例えば数n

m程度と近づくと、イオンの拡散が阻害され、図9

(b)に示すように電位-電流特性が変化する。上記した特性を電位変動法に組み込むことで、図9(a)に示すように、薄膜と基板の距離を例えば数十nm程度として安定に保持することが可能となる。

【0027】本発明の半導体装置の製造方法をさらに詳しく説明する。

【0028】半導体基板に、例えば、プラズマCVD法により絶縁膜を堆積し、フォトリソグラフィプロセスにより接続孔または配線溝であるコンタクトホールを形成し、下地金属層を形成する。下地金属層がバリア金属層の場合はスパッタ法によりコンタクトホールおよび絶縁膜を覆うように形成される。さらに配線材料をスパッタ法、CVD、メッキ等により被着させてからメルト法、高温リフロー法等によりコンタクトホールに配線材料を流し込む。流し込んだ配線材料表面にCMP法等によって平坦化処理を施し、パーティクルや不純物を洗浄除去する。

【0029】このとき、絶縁膜上に形成されていたバリア金属層および配線材料が除去されて絶縁膜が露出するが、コンタクトホールに埋め込まれた配線材料も不可避免的に削られてしまう。そこで、本発明においては、少なくともコンタクトホールを薄膜で覆って、電位を与えて無電解メッキにより欠落部分を補う。この薄膜を用いた欠落部分補修の詳細については上述した通りである。この後、CVD法によりキャップパッシベーション膜を堆積する。以上の工程を繰り返すと、金属の欠落のない金属埋め込み多層配線が完成する。

【0030】尚、下地金属膜としてシード層を用いる場合には、PdCl<sub>2</sub>等活性化処理によりコンタクトホール内部にのみ堆積させる以外は上述した工程により金属埋め込み多層配線を形成する。

【0031】本発明の半導体装置の製造方法において、覆蓋は貴金属または有機物のような導電性材料からなり、これらは、メッキ材料の溶解電位においても電気化学的に安定な材料である。本発明において、配線材料層の欠落部分を補う電気二重層を形成し、欠落部分補完後は電位を調整することで強制的に電気二重層の生成を停止させることのできる覆蓋の薄膜としては、配線材料層と密着性のよい材料であればよいが、例えば、金、銀、白金、ゴム、Pd、Ir、Ta等の弾性体が例示される。

【0032】Cuをメッキする場合には、この覆蓋には、0.337V vs. NHE以上の電位をかける。

【0033】本発明の半導体装置の製造方法において、下地金属層はバリア金属層またはシード層である。バリア金属層としては、Mo、W、Ta、Ti、Ta<sub>2</sub>N、TiN等、シード層としてはPd、Cu、Pt等が例示される。さらにこの他に、Ti、Cr、Ni等の密着用金属；Al、Al合金等のコンタクト金属；ボ

リシリコン；パッファメタル等を押入してもよい。

【0034】本発明の半導体装置の製造方法において、無電解メッキ溶液には、例えば、硫酸銅溶液；還元剤としてホルマリン、次亜リン酸ナトリウム；錯化剤としてEDTA溶液；pH調節剤として水酸化ナトリウム溶液が含まれる。無電解メッキの利点は、還元剤による反応で析出を行うため、半導体基板に電圧を印加する必要がない、金属配線の溶出がないことである。

【0035】本発明の半導体装置の製造方法において、埋め込み配線に用いる配線材料は、金、銀、銅、ニッケル、クロムあるいはこれらの組み合わせからなる合金である。

【0036】本発明の半導体装置の製造方法において、半導体基板としては例えばSi、GaAs基板等が例示されるがこれに限られるものではない。この半導体基板にはSiO<sub>2</sub>等の下地絶縁膜が形成されていてもよい。また半導体基板上に形成される絶縁膜としてはプラズマSiO<sub>2</sub>膜、TEOS、SiON等が例示されるがこれに限られるものではない。また、配線材料としては、Cu、Al等が例示されるがこれに限られるものではない。それぞれ所定の、半導体性能、絶縁性能、金属配線としての性能を満たすものであればよい。さらに、絶縁膜に形成された接続孔または配線溝の深さは、0.1から10μmが好ましい。

【0037】

【発明の実施の形態】以下、本発明を実施例により具体的に説明する。

【0038】【実施例1】図1(a)に示すように、下地絶縁膜を有する(図示せず)半導体基板1上に、プラズマCVD法により絶縁膜であるSiO<sub>2</sub>膜2を1.0μmの厚さで堆積し、さらにフォトリソグラフィ法、反応性イオンエッチング(RIE)法により所定のパターンを有する深さ0.8μm、幅0.15μmのコンタクトホール4を形成する。

【0039】次に、図1(b)に示すように、O<sub>2</sub>プラズマアッシング法でRIEのマスクであるフォトリソグラフィ3を除去した後、スパッタ法により厚さ0.1μmのタングステンバリア金属層5を形成し、さらに、スパッタ法により配線材料であるCu6を厚さ1.0μmに被着してから、コンタクトホール4にメルト法によりCu6を流し込む。

【0040】そして、図1(c)に示すように、CMP法によりコンタクトホール4以外に存在するCu6を研磨して除去し、表面の汚染物質やパーティクルを洗浄して除去する。この研磨の際、バリア金属も削られる。

【0041】続いて、図1(d)に示すように、Ptからなる厚さ10μmの薄膜8により最表面に蓋をして蓋の脇から硫酸銅溶液、ホルマリン、EDTA溶液、水酸化ナトリウムを含有するメッキ溶液流し込み、0.4V

v s. NHEの電位を与えて無電解メッキを行って、配線の欠落部分を補修して、所定のパターンを有する金属埋め込み配線を形成する。このとき、薄膜8の直下までメッキを成長させた後、電位をCuの溶解電位0.337 V v s. NHEにすることにより無電解メッキを停止させる。

【0042】この後、CVD法により、キャップパッシベーションとなるSiN膜7を100 nmの厚さで堆積する。

【0043】この配線形成法を繰り返して、図1(e)に示すような多層配線を形成する。

【0044】【実施例2】実施例1と同様に、下地絶縁膜を有する半導体基板1上に、プラズマCVD法により絶縁膜であるSiO<sub>2</sub>膜2を1.0 μmの厚さで堆積し、さらにフォトレジスト3を積層させて、フォトリソグラフィ法、反応性イオンエッチング(RIE)法により所定のパターンを有する深さ0.8 μm、幅0.15 μmコンタクトホール4を形成する。この後、O<sub>2</sub>プラズマアッシング法でRIEのマスクであるフォトレジスト3を除去する。

【0045】次に図2(a)に示すように、メッキ前処理としてPdからなるシード層9をPdCl<sub>2</sub>活性化処理により形成する。

【0046】次に、図2(b)に示すように、メッキ法によりCu6を厚さ1.0 μmに被着してから、図2(c)に示すように、CMP法によりコンタクトホール4以外に存在するCu6を研磨して除去し、表面の汚染物質やパーティクルを洗浄して除去する。

【0047】続いて、図2(d)に示すように、Irからなる厚さ100 nmの厚さ方向に貫通する孔を100から1000個設けた(図示せず)薄膜8により最表面に覆蓋をして硫酸銅溶液、ホルマリン、EDTA溶液、水酸化ナトリウムを含有するメッキ溶液を孔を通して上から流し込み、0.4 V v s. NHEの電位を与えて無電解メッキを行って、配線の欠落部分を補修して、所定のパターンを有する金属埋め込み配線を形成する。このとき、Cuの溶解/析出の平衡電位付近の0.4 V v s. NHEにすることにより無電解メッキの成長を停止させる。

【0048】この後、特に図示しないが、実施例1と同様に、CVD法により、キャップパッシベーションとなるSiN膜を100 nmの厚さで堆積し、この配線形成法を繰り返して、多層配線を形成する。

【0049】以上、本発明を実施例を挙げて説明してきたがこれに限られるものではない。本実施例においては下地絶縁膜としてプラズマSiO<sub>2</sub>膜、配線材料として

Cuを用いたが、それぞれ所定の絶縁性能、金属配線としての性能を満たすものであればよく、例えば、下地絶縁膜としてTEOS等、配線材料としてはAl等を用いてもよい。さらに、下地絶縁膜に形成された配線溝の深さや被着した配線金属材料の膜厚も実施例に示した値に限定されないものとする。

【0050】

【発明の効果】本発明は、半導体基板上の金属埋め込み配線形成を無電解メッキ法により行う際、電界をかけた状態の薄膜で最表面に覆蓋をしメッキの成長を最表面で終了させて半導体装置を製造する方法である。この方法によれば、CMP後処理においては、ディッシング、ボイド等が補修されるため、歩留まりおよび信頼性が向上し、一方、金属配線成膜時においては、CMP工程を省略することができるため、製造コストを大幅に削減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による金属埋め込み配線を備えた半導体装置の製造方法の工程図。

【図2】本発明の他の実施形態による金属埋め込み配線を備えた半導体装置の製造方法の工程図。

【図3】金属埋め込み配線と、薄膜との間に形成される電気二重層の断面図。

【図4】薄膜にかかる電位と薄膜からの距離との関係を示すグラフ。

【図5】還元剤の濃度と薄膜からの距離との関係を示すグラフ。

【図6】無電解メッキの成長の際の基板と薄膜の断面図。

【図7】基板と薄膜の間へのメッキ液の供給方法を示す断面図。

【図8】電位の変動と銅の析出/溶解反応の関係を示すグラフ。

【図9】基板と薄膜の距離により異なる電位-電流特性の変化を示すグラフ。

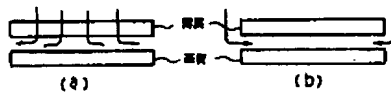
【図10】従来の金属埋め込み配線を備えた半導体装置の製造方法の工程図。

【図11】従来の金属埋め込み配線を備えた半導体装置の断面図。

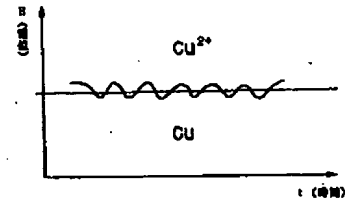
【符号の説明】

1…基板、2…SiO<sub>2</sub>膜、3…フォトレジスト、4…コンタクトホール、5…バリアメタル層、6…Cu、7…SiN膜、8…薄膜、9…シード層、111…ディッシング、112…ボイド、113…不純物、114…ブリスター、115…ショート

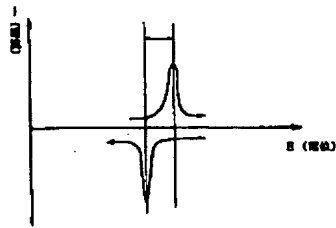
【図7】



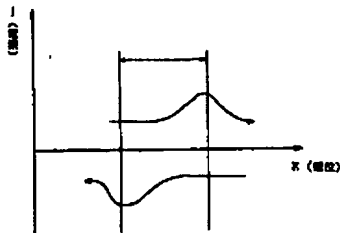
【図8】



【図9】

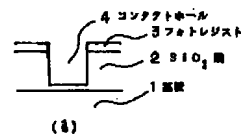


(a)

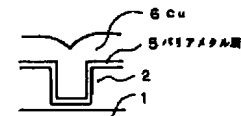


(b)

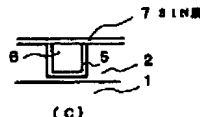
【図10】



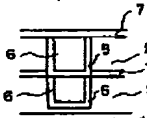
(a)



(b)

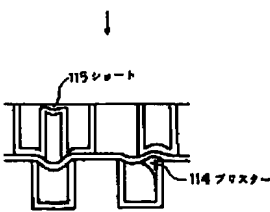
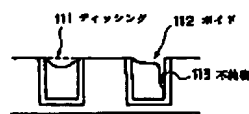


(c)



(d)

【図11】



## フロントページの続き

(72)発明者 岩出 健次  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内  
(72)発明者 間瀬 康一  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

Fターム(参考) 4K022 AA02 BA08 DA01 DB02 DB06  
DB12  
4M104 BB04 BB18 DD08 DD16 DD37  
DD53 DD78 FF06 FF22 GG13  
IH20  
5F033 AA04 AA05 AA15 AA29 AA66  
AA67 AA73 BA15 BA17 BA41  
DA04 DA06 DA08 DA34 DA36  
DA38 EA02 EA03 EA25 EA28





Creation date: 10-16-2003  
Indexing Officer: HNGUYEN28 - HAO NGUYEN  
Team: OIPEBackFileIndexing  
Dossier: 09883370

Legal Date: 06-21-2002

No.	Doccode	Number of pages
1	SRNT	49

Total number of pages: 49

Remarks:

Order of re-scan issued on .....